

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-175239

(43)Date of publication of application : 13.07.1993

(51)Int.Cl.

H01L 21/338  
H01L 29/812

(21)Application number : 04-153621

(71)Applicant : CREE RES INC

(22)Date of filing : 12.06.1992

(72)Inventor : PALMOUR JOHN W

(30)Priority

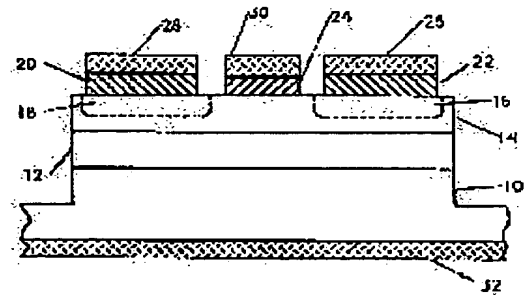
Priority number : 91 715560 Priority date : 14.06.1991 Priority country : US

## (54) HIGH POWER, HIGH FREQUENCY METAL-SEMICONDUCTOR FIELD EFFECT TRANSISTOR

(57)Abstract:

**PURPOSE:** To provide a field effect transistor which can operate at high frequency, high power level and high temperature by providing a second epitaxial layer of n-conductivity type silicon carbide formed on a first epitaxial layer and forming a Schottky metal contact between source and drain of the second epitaxial layer.

**CONSTITUTION:** A p-conductivity type first epitaxial layer 12 is formed on an n-conductivity type single crystal bulk silicon carbide substrate 10 and an n-conductivity type second epitaxial layer 14 is formed thereon. Hells 16, 18 of n+ conductivity type are formed in the second epitaxial layer 14 and ohmic contacts 20, 22 are formed thereon thus forming a source contact 20 and a drain contact 22. Subsequently, a Schottky gate contact 24 is formed between the source contact 20 and drain contact 22 of the second epitaxial layer 14. When a bias is fed to the Schottky contact, an active channel is formed in the second epitaxial layer between the source and drain.



---

**LEGAL STATUS**

[Date of request for examination] 18.06.1997  
[Date of sending the examiner's decision of rejection] 19.06.2001  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection] 2001-16435  
[Date of requesting appeal against examiner's decision of rejection] 14.09.2001  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-175239

(43)公開日 平成5年(1993)7月13日

(51)Int.Cl.<sup>5</sup>H 0 1 L 21/338  
29/812

識別記号

庁内整理番号

F I

技術表示箇所

7739-4M

H 0 1 L 29/ 80

B

審査請求 未請求 請求項の数20(全 10 頁)

(21)出願番号 特願平4-153621

(22)出願日 平成4年(1992)6月12日

(31)優先権主張番号 07/715560

(32)優先日 1991年6月14日

(33)優先権主張国 米国(US)

(71)出願人 592054856

クリー リサーチ インコーポレイテッド  
CREE RESEARCH INCOR  
PORATEDアメリカ合衆国 ノースカロライナ州  
27713 ダラム メリディアン パークウ  
ェイ 2810 スイート 176

(72)発明者 ジョン ダブリュ パルモア

アメリカ合衆国 ノースカロライナ州  
27511 カリー トラップス ラン ド  
ライブ 125

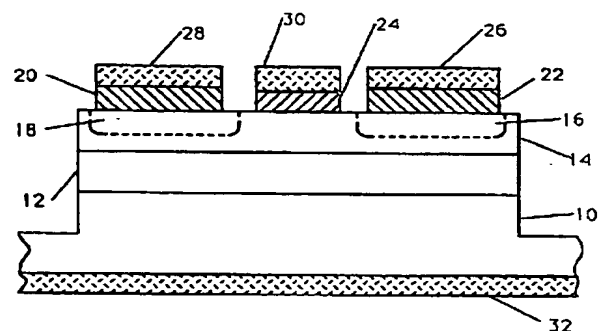
(74)代理人 弁理士 杉村 暁秀 (外5名)

(54)【発明の名称】 高電力、高周波金属-半導体電界効果トランジスタ

(57)【要約】

【目的】 炭化シリコンの物理的特性を利用した高電力、高周波金属-半導体電界効果トランジスタを提供することにある。

【構成】 本発明高電力、高周波金属-半導体電界効果トランジスタは、バルク単結晶炭化シリコン基板10と、該基板上に形成したp導電型炭化シリコンの第1エピタキシャル層12と、該層上に形成したn導電型炭化シリコンの第2エピタキシャル層14とを具える。第2エピタキシャル層は該層の残部より高温度のn型ドーパントイオンを有する2個の別々のウェル領域(16,18)を有する。オーム接点をこれらウェル上に設けて一方のウェル領域をソース、他方のウェル領域をドレインとして作用させる。ショットキ金属接点(24)を第2エピタキシャル層の、前記オーム接点間部分及び従ってソース及びドレイン間部分上に設ける。該ショットキ接点にバイアスが供給されると、ソース及びドレイン間の第2エピタキシャル層内に活性チャネルが形成される。



## 【特許請求の範囲】

【請求項1】 単結晶バルク炭化シリコン基板と、前記基板上に形成されたn導電型炭化シリコンのエピタキシャル層と、

前記エピタキシャル層内に形成された、該層の残部より高いn型キャリア濃度を有する2個の別々のウェル領域と、

前記n型エピタキシャル層内の前記ウェル領域上にそれぞれ形成され、前記ウェル領域の一方をソース、他方をドレインとして作用させるオーム接点と、

前記n型エピタキシャル層の、前記オーム接点間部分及び従って前記ソース及びドレイン間部分上に形成され、バイアスが供給されたとき前記ソース及びドレイン間の前記エピタキシャル層内に活性チャネルを形成するショットキ金属接点とを具備することを特徴とする高電力、高周波金属-半導体電界効果トランジスタ。

【請求項2】 単結晶バルク炭化シリコン基板と、前記基板上に形成されたn型炭化シリコンのエピタキシャル層と、

前記n型エピタキシャル層上に形成された、該層より高いn型キャリア濃度を有するn導電型炭化シリコンの一对のメサと、

前記メサ上にそれぞれ形成され、前記メサを一方をソース、他方をドレインとして作用させるオーム接点と、

前記n型エピタキシャル層の、前記メサ間部分及び従って前記ソース及びドレイン間部分上に形成され、バイアスが供給されたとき前記ソース及びドレイン間の前記n型エピタキシャル層内に活性チャネルを形成するショットキ金属接点とを具備することを特徴とする高電力、高周波金属-半導体電界効果トランジスタ。

【請求項3】 前記基板と前記n型エピタキシャル層との間にp導電型炭化シリコンのエピタキシャル層を具備することを特徴とする請求項1又は2記載のトランジスタ。

【請求項4】 前記ウェル領域が複数のウェル領域を具備する請求項1又は3記載のトランジスタにおいて、

前記オーム接点が前記n型エピタキシャル層内の前記複数のウェル領域上に形成され、且つ前記複数のウェル領域を交互に電気的に接続してこれら領域を交互の複数のソース領域及びドレイン領域として作用させ、

前記ショットキ金属接点が、複数の互いに電気的に接続されたショットキ金属接点を具備、前記ショットキ金属接点の各々は前記複数の各ソース領域及び前記複数の各ドレイン領域間の前記n型エピタキシャル層上に形成され、前記ショットキ金属接点にバイアスが供給されたとき前記複数のソース領域及び前記複数のドレイン領域間の前記n導電型エピタキシャル層内に複数の活性チャネル領域が形成されるようにしたことを特徴とする高電力、高周波金属-半導体電界効果トランジスタ。

【請求項5】 前記メサが複数のメサを具備する請求項2

又は3記載のトランジスタにおいて、

前記オーム接点が前記n型エピタキシャル層内の前記複数のメサ上に形成され、且つ前記複数のメサを交互に電気的に接続してこれらメサを交互の複数のソースメサ及びドレインメサとして作用させ、

前記ショットキ金属接点が、複数の互いに電気的に接続されたショットキ金属接点を具備、前記ショットキ金属接点の各々は前記複数の各ソースメサ及び前記複数の各ドレインメサ間の前記n型エピタキシャル層上に形成され、前記ショットキ金属接点にバイアスが供給されたとき前記複数のソースメサ及び前記複数のドレインメサ間の前記n導電型エピタキシャル層内に複数の活性チャネル領域が形成されるようにしたことを特徴とする高電力、高周波金属-半導体電界効果トランジスタ。

【請求項6】 前記基板及び前記n型エピタキシャル層は前記トランジスタの周囲を限界する側壁を有するメサを形成し、前記メサの側壁が下方に前記n型エピタキシャル層を越えて延在していることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項7】 前記基板は6H、4H、15R及び3C炭化シリコンから成る群から選ばれた炭化シリコンであり、前記エピタキシャル層は6H、4H、15R及び3C炭化シリコンから成る群から選ばれた炭化シリコンであることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項8】 前記ソースから前記ショットキゲート接点までの距離が、ゲートにバイアスが供給されたときソースからゲートへ殆どリーク電流が流れないようにするのに十分な大きさであるが炭化シリコンの低い電子移動度の影響を最低にするのに十分な小距離であることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項9】 前記基板の前記エピタキシャル層と反対側の面上に導電面を具備することを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項10】 前記ショットキ金属接点の幅及び長さが、前記ソース及びドレイン接点間に電圧が供給され且つ前記ショットキ金属接点にバイアス電圧が供給されたとき前記ソース及びドレイン接点内へ反射される電力がほぼ零になるような相補関係の寸法を有していることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項11】 前記オーム接点及び前記ショットキ金属接点上にオーバレイ層を具備、前記オーバレイ層がアルミニウム、銀、金、プラチナ及び銅から成る群から選ばれた金属であることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項12】 前記基板は半絶縁性炭化シリコンであることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項13】 前記ショットキゲート接点が前記n型エピタキシャル層のへこみに設けられていることを特徴

とする請求項1～5の何れかに記載のトランジスタ。

【請求項14】 前記ソースメサはリトログレードエッチメサであることを特徴とする請求項2～5の何れかに記載のトランジスタ。

【請求項15】 前記p型エピタキシャル層は半絶縁性炭化シリコンであることを特徴とする請求項2～5の何れかに記載のトランジスタ。

【請求項16】 前記半絶縁性炭化シリコンはディープレベルドーパントがドーパされた炭化シリコンであることを特徴とする請求項12又は15に記載のトランジスタ。

【請求項17】 前記ディープレベルドーパントはホウ素であることを特徴とする請求項16に記載のトランジスタ。

【請求項18】 前記半絶縁性炭化シリコンは約10,000  $\Omega \cdot \text{cm}$ 以上の抵抗率を有することを特徴とする請求項12又は15に記載のトランジスタ。

【請求項19】 前記ショットキ金属接点はマッシュルーム形ゲート接点であることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【請求項20】 前記ショットキゲート接点は金、プラチナ及びプラチナシリサイドから成る群から選ばれた金属であることを特徴とする請求項1～5の何れかに記載のトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高電力、高周波金属-半導体電界効果トランジスタ(MESFET)及び特に炭化シリコン内に形成されたこのようなトランジスタに関するものである。

【0002】

【従来の技術】無線周波数(500MHz)、S-バンド(3GHz)及びX-バンド(10GHz)のような高周波数で動作しながら高い電力処理能力(>20ワット)を必要とする電気回路が近年広く普及してきている。高電力、高周波回路の増加に伴い、無線周波数以上で高信頼度に動作し得ると共に高電力負荷を処理し得るトランジスタの要求が増してきている。以前より、バイポーラトランジスタ及びパワー金属-酸化物-半導体電界効果トランジスタ(MOSFET)が高電力用に使用されているが、このような装置の電力処理能力は一般に高い動作周波数で限界がある。接合形電界効果トランジスタ(JFET)は一般に高周波用に使用されているが、従来既知のJFETの電力処理能力には電界がある。

【0003】最近、高周波用に金属-半導体電界効果トランジスタ(MESFET)が開発された。MESFET構造は多数キャリアのみが電流を搬送するため高周波用に好適である。MESFET設計のものは、ゲート容量が小さいためにゲート入力の高速スイッチング時間が得られるため、現在のMOSFET設計のものより好適である。従って、全ての電界効果トランジスタは多数キャリアのみが電流を搬送す

るが、ショットキゲート構造のMESFETが高周波用に一層望ましい。

【0004】構造の形式に加えて、もっと基本的には、トランジスタを形成する半導体材料の特性も動作パラメータに影響を及ぼす。トランジスタの動作パラメータに影響を及ぼす特性のうち、電子移動度、飽和電子ドリフト速度、降服電界及び熱伝導率がトランジスタの高周波特性及び高電力特性に最も大きな影響を及ぼす。

【0005】電子移動度は電子の運動が電界の印加によりどのくらい強く影響されるかを表わす。従って、特定の半導体材料が高い電子移動度を有する場合には、同数の電子を移動させるのに低い電子移動度を有する材料に必要とされる電界より弱い電界が必要とされる。従来、高い電子移動度を有する半導体材料が高周波用に好適とされており、これは弱い電界で大きな電流を発生させることができ、電界の印加時に速い応答が得られるからである。

【0006】飽和電子ドリフト速度は半導体材料内で電子が得ることができる最大速度である。高周波用には高い飽和電子ドリフト速度を有する材料が好適であり、これはソースからドレインへの転送時間が短くなるためである。

【0007】降服電界は、ショットキ接合の降服を生じゲートを流れる電流が急増する電界強度である。高電力、高周波用には高い電気降服電界材料が好適であり、これは大きな電界を所定の寸法の材料で維持し得るためである。電子は小さな電界より大きな電界により一層高速に加速することができるので、大きな電界は高速走行をもたらす。

【0008】熱伝導率は半導体材料の熱消散能力である。代表的な動作状態において全てのトランジスタは熱を発生する。高電力、高周波トランジスタは通常、小信号用トランジスタより多量の熱を発生する。半導体材料の温度が上昇すると、接合リーク電流が増大すると共に、温度の上昇に伴いキャリア移動度が減少するために電界効果トランジスタを流れる電流が減少する。従って、熱を半導体から消散させると材料は低い温度に維持され、低いリーク電流で大きな電流を流すことができる。

【0009】従来、殆どの高周波MESFETは高い移動度を有する砒化ガリウム(GaAs)のようなn型III-V化合物で製造されている。これら装置は高い動作周波数と中位の電力処理能力を与えるが、これら材料の比較的低い降服電圧及び低い熱伝導率のために高電力用途におけるそれらの有用性が制限されている。

【0010】炭化シリコン(SiC)が、シリコン(Si)又はGaAsから製造された装置より高温、高電力及び高周波数で動作し得る電子装置を理論的には製造し得る優れた物理的及び電気的特性を有することは長年知られている。約 $4 \times 10^6$  V/cmの高い降服電界、約 $2 \times 10^7$  cm

/secの高い飽和電子ドリフト速度及び約4.9 W/cm-Kの高い熱伝導率が高周波、高電力用にSiCが好適であることを示している。しかし、製造の難しさにより高電力及び高周波用途におけるSiCの有用性が制限されている。

#### 【0011】

【発明が解決しようとする課題】最近、炭化シリコンのチャネル層を有するMESFETがシリコン基板上に製造されている（米国特許第4762806号及び同第4757028号参照）。MESFETの半導体層はエピタキシャル層であり、各エピタキシャル層が成長されるその下の層が装置の特性に影響を及ぼす。Si基板上に成長されたSiCエピタキシャル層は異なる基板上に成長されたSiCエピタキシャル層と異なる電氣的及び熱的特性を有する。米国特許第4762806号及び同第4757028号に記載されたSi基板上にSiC層を成長した装置は向上した熱特性を示すが、Si基板の使用は装置の熱消散能力を制限する。更に、Si上へのSiCの成長はエピタキシャル層に欠陥を生じ、装置の動作時に高いリーク電流を生じる。

【0012】SiC基板を用いた他のMESFETが開発されている。米国特許出願第07/540488号には、SiC基板上に成長させたSiCエピタキシャル層を有するSiC MESFETが記載されている。これら装置はSiC基板上に成長されたエピタキシャル層の結晶品質の向上により、上記米国特許の装置より向上した熱特性を示す。しかし、高電力及び高周波特性を得るためにはSiCの低い電子移動度の制限を克服しなければならない。また、MESFETの構造の更なる開発も必要である。

【0013】従って、本発明の目的は、炭化シリコンの物理的特性を利用すると共に上述した従来装置の試みの問題点を解消して高周波数、高電力レベル及び高温度で動作し得るMESFETを提供することにある。

#### 【0014】

【課題を解決するための手段】この目的を達成するために、本発明による高電力、高周波金属-半導体電界効果トランジスタは、バルク単結晶炭化シリコン基板と、基板上に形成されたp導電型炭化シリコンの第1エピタキシャル層（この層はオプシオン）と、第1エピタキシャル層上に形成されたn導電型炭化シリコンの第2エピタキシャル層とを具える。第2エピタキシャル層は該層の残部より高いn型キャリア濃度で該層内に形成された2つの別個のウェル領域を有する。オーム接点をこれらウェル領域上に位置させて一方のウェル領域をソースとして、他方のウェル領域をドレインとして形成する。ショットキ金属接点を第2エピタキシャル層の、前記オーム接点間及び従ってソース及びドレイン間部分上に位置させて、バイアスをこのショットキ接点に印加したとき第2エピタキシャル層内に活性チャネルが形成されるようにする。本発明の上述の目的及び他の目的、利点及び特徴は以下に図面を参照して詳細に記載する本発明の実施

例の説明から一層容易に理解される。

#### 【0015】

【実施例】図1は本発明MESFETの第1の実施例を示す。p導電型の第1エピタキシャル層12をp導電型又はn導電型の単結晶バルク炭化シリコン基板10上に成長させる。p導電型炭化シリコンの第1エピタキシャル層は基板とn型エピタキシャル層との間に介挿する。n導電型の第2エピタキシャル層14を第1エピタキシャル層12上に成長させる。第2エピタキシャル層14内にn<sup>+</sup>導電型のウェル16及び18を形成する。ここでは、“n<sup>+</sup>”又は“p<sup>+</sup>”は同一又は他のエピタキシャル層又は基板の隣接領域又は他の領域内より高いキャリア濃度で形成される領域を示す。基板10の第1エピタキシャル層12と反対側の面上にオプシオンである導電面32を形成することができる。

【0016】オーム接点20及び22をウェル16及び18上に形成してソース接点20及びドレイン接点22を形成する。ショットキゲート接点24を第2エピタキシャル層14の、ソース接点20及びドレイン接点22間の部分上に形成する。図に示すように、ソース及びドレイン接点20及び22及びショットキゲート接点24上にオプシオンである金属オーバレイ層26、28及び30を形成する。

【0017】図1及び次の図2～4に示すトランジスタの構造は装置の周囲を限界するメサ形である。p型エピタキシャル層を有しない装置では基板とn型エピタキシャル層がトランジスタの周囲を限界する側壁を有するメサを形成する。メサの側壁は装置のn導電型層を下方に越えて延在させる。メサは装置の基板内まで延在するように形成するのが好ましい。メサは装置の空乏領域を越えて延在させ、装置を流れる電流をメサ内に閉じ込め、装置のキャパシタンスを低減させる。装置の空乏領域がメサのレベルの下まで伸びると空乏領域がメサの外部へと広がり、大きなキャパシタンスが生じる。メサは上述した装置を反応性イオンエッチングして形成するのが好適であるが、他の既知の方法を用いてメサを形成することもできる。更に、メサを使用しない場合には、装置をプロトン衝撃、補償原子による相殺ドーピング等のような他の方法を用いて分離することができる。

【0018】図2は本発明MESFETの第2の実施例を示す。p導電型の第1エピタキシャル層33をp導電型又はn導電型の単結晶バルク炭化シリコン基板31上に成長させる。p導電型の第1エピタキシャル層は基板とn型エピタキシャル層との間に介挿する。n導電型の第2エピタキシャル層35を第1エピタキシャル層33上に成長させる。n<sup>+</sup>SiC領域を第2エピタキシャル層35上に位置するメサ51及び53の形に形成する。これらメサ51及び53は、n導電型エピタキシャル層35上にn<sup>+</sup>導電型SiCの第3エピタキシャル層を成長させ、次いでこの第3層をエッチングしてメサを形成することにより、或いはn導電型エピタキシャル層35内に形成したn<sup>+</sup>導電型領域を

エッチングしてメサ51及び53を形成することにより形成することができる。オーム接点41及び43をメサ51及び53上に形成してソース接点41及びドレイン接点43を形成する。ショットキゲート接点45を第2エピタキシャル層35の、ソース接点41及びドレイン接点43間の部分上に形成する。図に示すように、オプションである金属オーバーレイ層47、49及び46をソース及びドレイン接点41及び43及びゲート接点45上に形成する。オプションである導電面34を基板の第1エピタキシャル層33と反対側の面上に形成することができる。

【0019】図3はショットキゲート接点をアクティブチャネル層のへこみに設けた本発明MESFETの第3の実施例を示す。図3はショットキゲート接点がマッシュルーム形ゲート接点である本発明の実施例も示す。p導電型の第1エピタキシャル層57をp導電型又はn導電型の単結晶バルク炭化シリコン基板55上に成長させる。n導電型の第2エピタキシャル層59を第1エピタキシャル層57上に成長させる。n<sup>+</sup>導電型のウェル37及び63を第2エピタキシャル層59内に形成する。オーム接点65及び67をウェル37及び63上に形成してソース接点65及びドレイン接点67を形成する。第2エピタキシャル層の一部分を除去してソース及びドレイン間にへこみ部分を形成する。ショットキゲート接点69を第2エピタキシャル層59のソース接点37及びドレイン接点63間のへこみ部分内に形成する。ショットキゲート接点69はマッシュルーム構造にする。ここで使用するマッシュルームゲートとは、第2エピタキシャル層59からの距離が大きくなるにつれて大きくなる断面積を有するゲート構造を意味する。図に示すように、マッシュルーム形ショットキゲート接点69は、活性チャネル層と接触するプラチナ、プラチナシリサイド又は金から選択された金属から成る第1ゲート層76と、この第1層上に形成した金又は他の高導電率金属から成る第2層78とで随意に形成することができる。図に示すように、オプションである金属オーバーレイ層71及び73をソース及びドレイン接点65及び67上に形成する。オプションである導電面75を基板の第1エピタキシャル層57と反対側の面上に形成することができる。

【0020】図4は、ソースメサ82をリトログレード（退行）エッチメッサとした本発明MESFETの第4の実施例を示す。ここでは、リトログレードエッチメッサとはリトログレードエッチングにより生ずるサイドカットを有するメサを意味するが、このようなサイドカットは他の既知の方法により生じさせることもできる。図4は、ショットキゲート接点が自己整列ゲート接点であり、ゲートをソースにできるだけ近づけて位置させることができる本発明の他の実施例も示す。p導電型の第1エピタキシャル層88をp又はn導電型の単結晶バルク炭化シリコン基板83上に成長させる。n導電型の第2エピタキシャル層84を第1エピタキシャル層88上に成長させる。n<sup>+</sup>SiC領域を第2エピタキシャル層84上に位置するメサ32

及び86に形成する。これらメサ82及び86は、n<sup>+</sup>SiCの第3エピタキシャル層を成長させ、次いでこの第3層をエッチングしてメサを形成することにより、或いは厚い第2エピタキシャル層84にイオン注入し、次いで第2エピタキシャル層84をエッチングしてメサ82及び86を形成することにより形成することができる。オーム接点97及び96をメサ82及び86上に形成してソース接点97及びドレイン接点96を形成する。ショットキゲート接点92を第2エピタキシャル層84の、ソース及びドレイン接点97及び96間の部分上に形成する。ゲート材料の層90及び95をソース接点97及びドレイン接点96の一部分上にオプションで形成することができる。図に示すように、オプションである金属オーバーレイ層91、94及び93をゲート材料90及び95及びゲート接点92上に形成する。オプションである導電面85を基板の第1エピタキシャル層88と反対側の面上に形成することができる。

【0021】上述した各実施例では、基板を6H、4H、15R又は3C炭化シリコン群から選択した炭化シリコンで形成し、各エピタキシャル層を6H、4H、15R又は3C炭化シリコン群から選択した炭化シリコンで形成する。基板10、31、55及び83は6H、4H、15R又は3Cポリタイプの単結晶バルク炭化シリコンから成り、p導電型又はn導電型にすることができる。第1エピタキシャル層12、33、57及び88は6H、4H、15R又は3Cポリタイプのp導電型炭化シリコンから成る。第1エピタキシャル層に対しては約 $3 \times 10^{17} \text{cm}^{-3}$ までのキャリア濃度が好適であるが、約 $3 \times 10^{16}$ 以下のキャリア濃度が望ましい。好適なドーパントはアルミニウム、ホウ素及びゲルマニウムである。第2エピタキシャル層14、35、59及び84は6H、4H、15R又は3Cポリタイプのn導電型炭化シリコンから成る。このn型エピタキシャル層のn型キャリア濃度は約 $2 \times 10^{16} \sim 2 \times 10^{18} \text{cm}^{-3}$ が好適である。好適なドーパントはニッケル及びリンである。上述したトランジスタのn<sup>+</sup>領域に対しては、約 $5 \times 10^{17}$ のキャリア濃度が好適であるが、約 $2 \times 10^{18}$ 以上のキャリア濃度が望ましい。オーム接点20、41、65、22、43、67、97及び96はニッケル、その他の適当な材料で形成するのが好ましい。ショットキゲート接点24、45、69及び92はプラチナ又はプラチナシリサイドで形成するのが好ましいが、ショットキ効果を生ずることが知られている金のような他の金属を用いることもできる。上述の装置はオーム接点及びゲート接点上にオーバーレイ層をオプションで有しているが、これらオーバレイ層26、30、47、71、28、46、49、73、91、94及び93は金、銀、アルミニウム、プラチナ及び銅で形成することができる。これらオーバレイ層には他の適当な高導電率金属を用いることもできる。上述の装置は、n導電型層の露出区域、メサの側壁及びp導電層の露出区域を覆う不活性化層（図示せず）を有することもできる。この不活性化層は装置の全非金属表面上に選択的に位置させることができる。二酸化シリコン

の不活性化層が好適であるが、他の既知の材料を用いることもできる。

【0022】ゲート接点の下側の $n$ 導電型領域の厚さが装置のチャンネル領域の断面高さを決定し、この厚さは装置の所望のピンチオフ電圧及びキャリア濃度に基づいて選択する。第2エピタキシャル層のキャリア濃度が与えられると、所定のピンチオフ電圧に対し必要なこの層の厚さは当業者に既知の方法を用いて容易に計算することができる。 $n$ 型エピタキシャル層の厚さ及びキャリア濃度は約 $-3 \sim -20$ ボルトのピンチオフ電圧が得られるように選択するのが好適であるが、約 $-5 \sim -15$ ボルトのピンチオフ電圧が得られるように選択するのが望ましい。 $n$ 型基板を用いる装置に対しては、上述した装置の埋込 $p$ 導電型層の厚さを十分に厚くしてゲート接合の降服が $p$ 導電型層の空乏化前に生ずるようにする必要がある。 $p$ 型基板を用いる装置に対しては、上述した装置の埋込 $p$ 導電型層及び基板の厚さを十分に厚くしてゲート接合の降服が埋込 $p$ 型層及び基板の空乏化前に生ずるようにする必要がある。

【0023】以上、本発明の好適実施例について記載したが、上述した第1エピタキシャル層は随意に省略し、半絶縁基板又は $p$ 型基板上に形成した $n$ 導電型 $\text{SiC}$ の単一エピタキシャル層を有するトランジスタを形成することもできる。単一エピタキシャル層装置を形成するには、装置の基板として上述した $p$ 型埋込層につき述べたキャリア濃度を有する $p$ 導電型炭化シリコン基板又は半絶縁性基板を用いるのが好適である。

【0024】上述したMESFET構造は、1.9 GHzまでの周波数で動作し得るトランジスタをもたらす。上述したMESFET構造のゲート及びソースの寸法を、 $\text{SiC}$ の比較的低い電子移動度の影響が最低になると共に $\text{SiC}$ の比較的高い飽和電子ドリフト速度及び降服電圧の利点が最大になるように選択することにより追加の特性向上を達成することができる。

【0025】MESFETの寸法選択において、ゲートの幅は電流の流れに直角方向のゲート寸法を定義する。図1～3の断面図においてゲート幅は図紙面に垂直方向に延在する。ゲートの長さは電流の流れに平行なゲート寸法である。図1～4の断面図においてゲート長は第2エピタキシャル層14、35、59及び84と接触するゲート24、45、69及び92の寸法である。第3の重要な寸法はソースーゲート間距離であり、図1～4の断面図における $n^+$ ウェル又はメサからゲート接点24、45、69及び92までの距離である。

【0026】低電子移動度の影響を最低にするには、ソースーゲート間距離を、ソースーゲート間リーク電流を殆んど生ずることなくできるだけ小さくする必要がある。本発明の一実施例では、ソースからショットキゲート接点までの距離を、ゲートにバイアスが印加されたときソースからゲートへ殆んどリーク電流が流れないよう

にするのに十分な大きさにすると共に炭化シリコンの低い電子移動度の影響を最小にするに十分な小距離にする。これは、代表的には、ゲート接点をソース接点又は $n^+$ ソースメサ又はウェルと接触させることなくソース接点にできるだけ近づける必要があることを意味する。ゲートをソース領域にできるだけ近づけて位置させることによりトランジスタの電子が加速される領域内の電界強度が最大になり、これにより $\text{SiC}$ の低い電子移動度の影響が小さくなる。代表的には、約 $1 \mu\text{m}$ 以下のソースからショットキ接点までの距離が好適である。装置のゲートドレイン間距離は装置のゲートからドレインへの空乏層の広がり維持するに十分な大きさにする必要がある。この距離は代表的には約 $0.5 \mu\text{m} \sim 2 \mu\text{m}$ である。

【0027】本発明の一実施例では、ショットキ金属ゲート接点の幅及び長さを、ソース及びドレイン接点間に電圧を印加すると共にショットキ金属ゲート接点にバイアスを印加したときソース及びドレイン接点へと反射される電力がほぼ零になるよう選択する。

【0028】低電子移動度の影響を更に小さくするには、ゲート接点の長さをできるだけ小さくする必要がある。代表的には、約 $1.5 \mu\text{m}$ 以下のショットキゲート長が望ましい。ゲート長を最小にすることにより、ゲート下部の電界強度が増大する。この電界の増大は同じ電圧が小面積に印加されることにより生ずる。この電界強度の増大はゲート区域における電子の加速を増大し、炭化シリコンの低電子移動度の影響を低減する。従って、ゲート長を最小にしてゲート下部の電界強度を最大にするのが望ましい。

【0029】高い電力処理能力のためにゲート接点の幅はできるだけ大きくする必要がある。しかし、ゲートの長さを減少させ、ゲートの幅を増大させると、トランジスタの出力インピーダンスが減少する。出力インピーダンスの減少は、インピーダンス整合に問題を生じてトランジスタの高周波動作能力に影響を与え得る。ある特性入力インピーダンスを有するトランジスタを異なる特性入力インピーダンスを有する回路に接続すると、回路の入力端子へ出力する電力の一部がトランジスタへ反射される。トランジスタから送出される総電力及びトランジスタへ反射される電力は回路の入力インピーダンスとトランジスタの出力インピーダンスとの差により決まる。両インピーダンスが整合する場合、トランジスタからの全電力が伝送される。両インピーダンスは整合回路又は他の既知の手段により本質的に整合させることができる。トランジスタの反射電力がほぼ零であり、従ってトランジスタからのほぼ全電力が伝送されるときにトランジスタは回路にインピーダンス整合する。ここでは、電力の約10%以下がトランジスタへ反射される場合にトランジスタの反射電力がほぼ零であるという。従って、所望の動作周波数においてインピーダンス整合に問題を生ずることなくゲート長をできるだけ短かく且つゲート幅



をできるだけ広くする必要がある。このゲート長及びゲート幅の組合せは所望の動作周波数範囲において最大の電力処理能力を有するトランジスタをもたらす。代表的には、50オーム以上の出力インピーダンスが好適である。しかし、低インピーダンスに対する整合は狭い帯域幅で達成し得るのみであるけれども約1~10オームのような低い出力インピーダンスを用いることもできる。ショットキゲート接点の長さ及び幅は約0.5 GHz ~ 約30GHzの動作周波数において電力反射が最小になるよう選択することができる。

【0030】上述の実施例では、更に、第1エピタキシャル層をドーピングして半絶縁性層を形成することにより、ピンチオフ状態における第1p型エピタキシャル層12、33、57及び88を経るリーク電流を減少させる。このため、第1エピタキシャル層は半絶縁性炭化シリコンで形成するのが望ましい。p型エピタキシャル層がない場合には、基板を半絶縁性炭化シリコンで形成するのが望ましい。更に、第1エピタキシャル層及び基板の両方を半絶縁性炭化シリコンで形成することもできる。第1エピタキシャル層12、33、57及び88をホウ素のようなドープレベルドーパントでドーピングして半絶縁性層を形成することができる。約10,000Ω・cm以上の抵抗率を有するSiCを形成することにより第1エピタキシャル層12、33、57、及び88を経るリーク電流が大きく減少する。第1エピタキシャル層の抵抗率のどのような増大も望ましく、第1エピタキシャル層を経るリーク電流の減少を生ずる。半絶縁性層はホウ素ドーピングSiCで形成することができ、エピタキシャル成長中にドープレベルドーパントをSiC内に混入することにより形成するのが好ましい。しかし、イオン注入、プロトン衝撃又は他の既知の半絶縁性炭化シリコン層形成方法のような他の方法を用いることもできる。

【0031】図5は本発明の高電力構造を示す。図5に示す構造は縦数のソース60及びドレイン領域62を有するインターデジタル構造である。ソース及びドレイン領域60及び62はNiのようなオーム接点金属から成り、トランジスタのオーム接点を形成する。ソース及びドレイン領域60及び62はソース接点及びドレイン接点66により相互接続し、これら接点はアルミニウム、銀、金、プラチナ、銅等のような高導電性金属で形成することができる。ショットキゲート接点68を各ソース及びドレイン領域60及び62間に位置させる。ショットキゲート接点68はプラチナ、プラチナシリサイド、金等のような適当なショットキ金属で形成する。ゲート接点68を同様に適当なショットキ金属から成る接点パッド80によりゲート相互接続接点70に接続する。アルミニウム、銀、金、プラチナ、銅等のような高導電性金属のオーバレイ層をショットキ金属接点上にオプションで設けることができる。ゲート相互接続接点70はアルミニウム、銀、金、プラチナ、銅等のような任意の適当な高導電性金属で形成する

ことができ、ゲートオーバレイ金属と同一にする必要はない。ゲート68、ソース60及びドレイン62の各領域は全てnチャネルメサ72上に形成する。各接点64、66、70は堆積絶縁層上に形成し、nチャネルメサ72の外部に位置させる。更にソース及びドレイン相互接続点64及び66は堆積絶縁層により互に分離する。

【0032】n<sup>+</sup>メサ又はウェルを用いる上述した何れの構造のものもソース及びドレイン領域に対し図5に示すインターデジタル構造を採用することができる。指状ゲート68の長さ及び数は所望の動作周波数及び電力レンジに基づいて選択する。大きなゲート幅は分布伝送線路効果のために特性劣化を生じ得る。分布伝送線路効果のために構造の指状ゲートの長さは目的の動作周波数の波長の約1/20以下にするのが望ましい。これがため、例えば500 MHzでは2mm、10GHzでは250μmのゲート長が望ましい。指状ゲートの長さを決定したら、ゲートの数を上述の考察に従って制限する。指状ゲートの数及びゲート長は上述のように、得られるトランジスタの入力インピーダンスにより制限される。ゲート長及びゲート数は所望の動作周波数におけるインピーダンス整合問題が最低になるよう選択する必要がある。インターデジタル構造を使用すると、500 MHzにおける約630 Wから、3 GHzにおける約158 W、10GHzにおける約45 Wまでの出力電力を得ることができる。同一の構造のSi及びGaAs装置により20GHzまでの所定の動作周波数レンジに対し達成される電力レベルの約5倍の出力電力を得ることができる。

【0033】本発明及びその利点は以下の実施例により更に理解される。

#### 実施例 I

これらトランジスタの基板は6H-SiC単結晶ブロックからスライスした。この単結晶ブロックは軽く窒素がドーピングされ、n型である。この単結晶ブロックをスライスし、ラッピング及び研磨してエピタキシャル成長に好適なウェファにした。これらn型6H-SiC(0001)ウェファ上にp型及びn型の6H-SiC(0001)単結晶の薄い膜を順にエピタキシャル成長した。図2に断面図で示すMESFETはn型6H-SiC基板上に成長させた1~2×10<sup>16</sup>cm<sup>-3</sup>の範囲内のキャリア濃度を有する6H-SiCの2μm厚のp型エピタキシャル層で構成した。このp型層はその上に成長される薄いn型活性領域内に電流を閉じ込める埋込層として作用する。この上側n型エピタキシャル層は9×10<sup>16</sup>cm<sup>-3</sup>程度のキャリア濃度及び約0.32μmの厚さを有するものとした。

【0034】高電力、高周波SiC MESFETの設計では2個の500μm長の指状ゲートから成る1μmゲート幅を用いた。ゲート長は高いドレイン電圧を許すべく0.6μmから1.5μmまで変化させた。最小ゲート長のものを除く全ての製造のソースゲート間隔は1μmとした(最小値ゲート長のは約0.5μmとした。)ゲートキャ

パシタンスを最小にするために、ゲート接点パッド区域は100  $\mu\text{m}$ の直径にすると共に堆積絶縁層上に位置させた。ソース及びドレインの金属オーバーレイ層を用いて良好な接触並びにワイヤボンディングが容易に得られるようにした。

【0035】ウェル及びメサを用いる両装置を製造した。これら装置の製造は次の通りである。最初に装置全体をメサで分離した。慣例のホトリソグラフィ技術を用いて、SiC表面上にスパッタしたアルミニウム膜をパターン化し、これを分離メサの反応性イオンエッチング用マスクとして用いた。メサの周囲の材料を十分深くエッチングしてメサをn型表面層から埋込p型層まで侵入させた。次いでアルミニウムを除去し、ポリシリコンを堆積し、パターン化し、ソース及びドレイン形成用の窓を開けた。次いで、ポリシリコンをマスクとして用いてこれらサンプルにN<sup>+</sup>ドーパントをイオン注入してn<sup>+</sup>ソース及びドレインウェルを形成した。次いでこれらサンプルをアニールし、酸化してSiO<sub>2</sub>の薄い不活性化層を成長させた。次いで低温化学気相成長処理を用いてこの熱酸化層上に500 nm厚のSiO<sub>2</sub>層を堆積した。この層をパターン化して中心ゲート接点分離パッド及び相互接続バーを形成した。次いでソース及びドレイン接点用窓をSiO<sub>2</sub>層に形成し、Niオーム接点を堆積し、“リフトオフ”技術を用いてパターン化した。これらオーム接点をアニールした後に、0.75  $\mu\text{m}$ の金オーバーレイ層を有する微細な指状プラチナショットキゲート接点をエキシマレーザステッパを用いてパターン化した。最後にゲート接点パッドメタライズ層をSiO<sub>2</sub>分離パッド上に堆積し、パターン化した。

【0036】メサソース及びドレイン構造を用いる装置は次のようにして製造した。n型チャネル層のエピタキシャル成長後に、その上に高湿度の窒素をドーブした別のn型層を成長させた。この層は代表的には0.2  $\mu\text{m}$ の厚さ及び $1 \times 10^{19} \text{cm}^{-3}$ のドーピング濃度を有するものとした。このn<sup>+</sup>層を上述したイオン注入に用いたものと同じのマスクを用いてソース及びドレイン接点にすべき区域を除いて反応性イオンエッチングしてソース及びドレインを限界した。次いで、上述したウェル構造装置につき述べたように絶縁層及びゲート接点をエッチングしたチャネル層上に堆積した。

#### 【0037】実施例11

図6は6H-SiC MESFETの直流電流-電圧特性を示す。この装置は0.7  $\mu\text{m}$ のゲート長及び1mmのゲート幅を有し、750 nm厚の金オーバーレイ層を有するものである。この装置は35Vの外まで良好な電流飽和を示すと共にV<sub>D</sub> = 37VにおいてSiCの非破壊降服を生ずる。この装置の最大電流は50mAである。装置のピンチオフ電圧はV<sub>G</sub> = -4.5 Vであり、ソースドレイン抵抗は67  $\Omega$ である。その装置の最大相互コンダクタンスはV<sub>G</sub> = 0Vで

19 mS/mmである。V<sub>G</sub> = 0V及びV<sub>D</sub> = 33Vにおけるゲートリーク電流は385  $\mu\text{A}$ であり、V<sub>G</sub> = -4.5 Vでは800  $\mu\text{A}$ に増大する。

【0038】この装置を、標準Sパラメータ測定用のカスケードマイクロプローブを有するHP8510自動ネットワークアナライザを用いて高周波数において測定した。図6の装置の利得対周波数測定値を図7に示した。この装置のしきい周波数(F<sub>t</sub>)は2.4 GHzであった。この装置のF<sub>max</sub>は1.9 GHzであった。図6の装置は1.0 GHzで7.0 dBの電力利得及び7.0 dBの電流利得を有している。

#### 【図面の簡単な説明】

【図1】n<sup>+</sup>ウェルを有する本発明MESFETの第1の実施例の断面図である。

【図2】n<sup>+</sup>メサを有する本発明MESFETの第2の実施例の断面図である。

【図3】n<sup>+</sup>ウェルを有する本発明MESFETの第3の実施例の断面図である。

【図4】リトログレードエッチメサ及び自己整列ショットキゲート接点68を有する本発明MESFETの第4の実施例の断面図である。

【図5】本発明による高電力インターディジタル構造の平面図である。

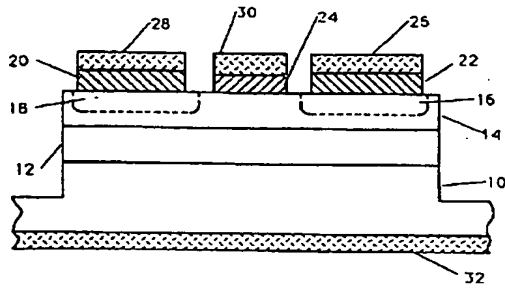
【図6】本発明装置のドレイン電流-電圧特性を示すグラフである。

【図7】本発明装置の高周波パラメータを示すグラフである。

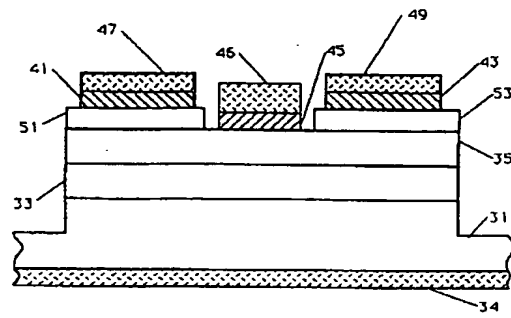
#### 【符号の説明】

- |  |                     |
|--|---------------------|
| 10, 31, 55, 83                                     | p型又はn型炭化シリコン基板      |
| 12, 33, 57, 88                                     | p型炭化シリコンの第1エピタキシャル層 |
| 14, 35, 59, 84                                     | n型炭化シリコンの第2エピタキシャル層 |
| 16, 18, 37, 63                                     | n <sup>+</sup> ウェル  |
| 51, 53, 82, 86                                     | n <sup>+</sup> メサ   |
| 20, 41, 65, 97                                     | ソース接点               |
| 22, 43, 67, 96                                     | ドレイン接点              |
| 24, 45, 76, 69                                     | ショットキゲート接点          |
| 26, 28, 30, 46, 47, 49, 71, 73, 78, 90, 91, 93, 95 | オーバーレイ金属層           |
| 32, 34, 75, 85                                     | 導電面                 |
| 60   | ソース領域               |
| 62   | ドレイン領域              |
| 64   | ソース接点               |
| 66   | ドレイン接点              |
| 68   | ショットキゲート            |
| 70   | 相互接続接点              |
| 72   | nチャネルメサ             |
| 80   | 接点パッド               |

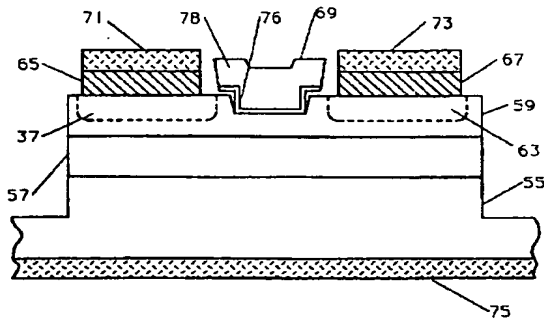
【図1】



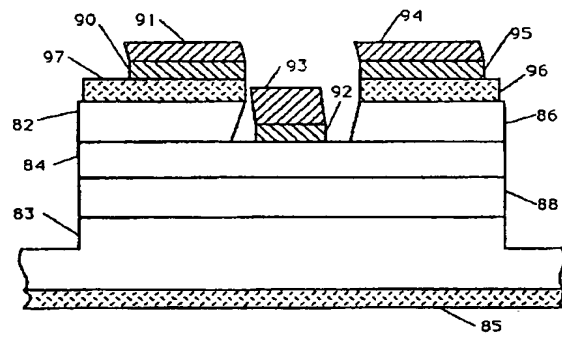
【図2】



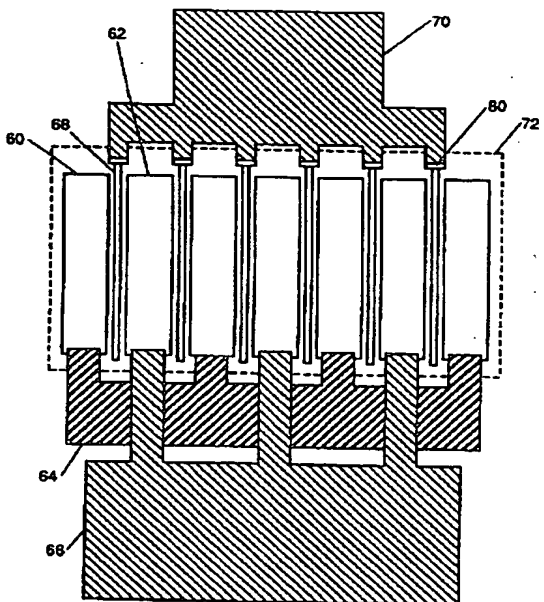
【図3】



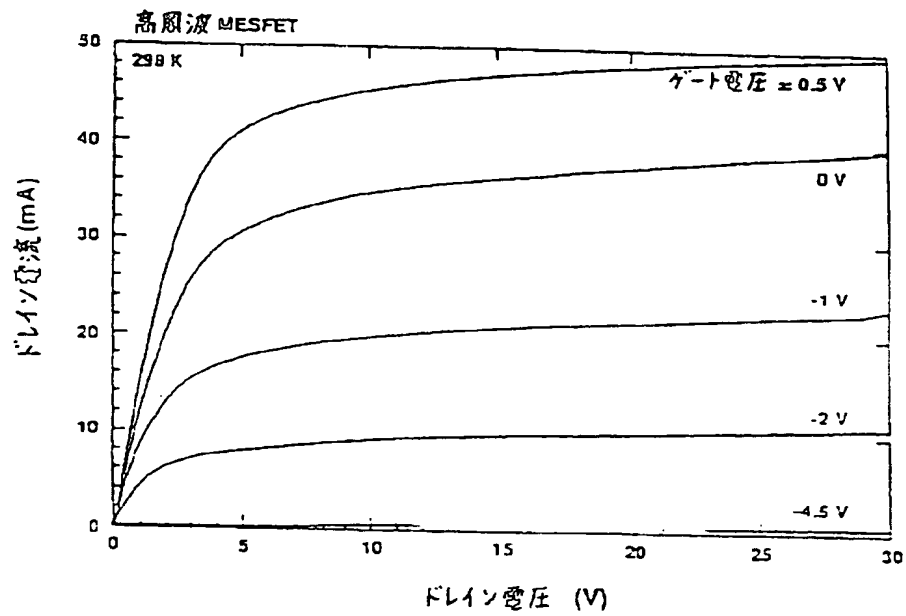
【図4】



【図5】



【図6】



【図7】

